

ПРОЕКТЫ

Лаборатория ДонНТУ

**"FPGA-технологии проектирования и
диагностика компьютерных систем»**

Рук-ль лаб. : Зинченко Юрий Евгеньевич,
канд. техн. наук, доцент

тел.: +38-050-754-03-25
+38 071-334-91-53

E-mail: fpga@donntu.org

Web: fpga.donntu.org

Skype: [Prof.combat](https://www.skype.com/user/Prof.combat)

ПРОЕКТЫ

Adaptive ATPG-LAN – система адаптивной генерации тестов цифровых устройств (ЦУ)

Auto Probe – система зондовой диагностики ЦУ

Test Processor - Контрольно - диагностический комплекс на ПЛИС

RF Transceiver – приемопередатчик на ПЛИС

ATP – система тестирования знаний по языку описания аппаратуры VHDL

Adaptive ATPG-LAN

Система
адаптивной генерации тестов
цифровых устройств

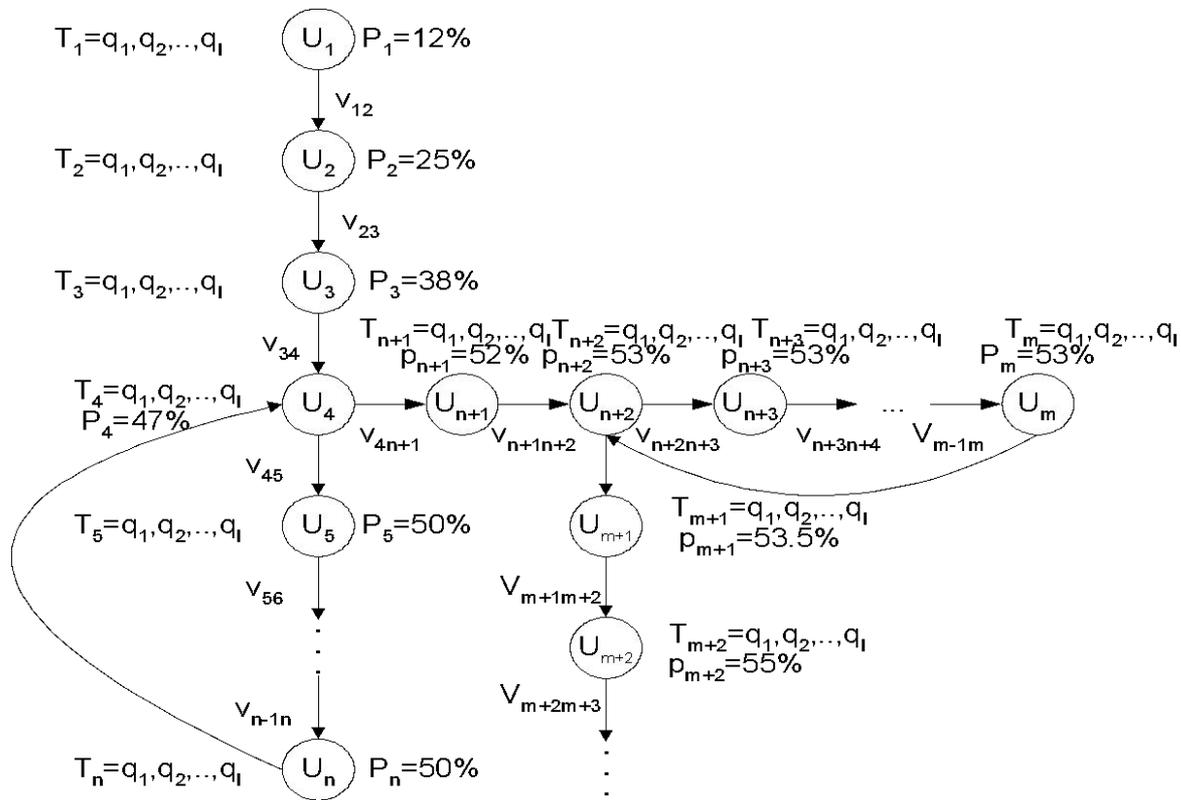
Описание

- **Тип тестируемых неисправностей:
одиночные константные**
- **Объект диагностики (ОД): комбинационные
и последовательностные ЦУ, построенные
на ИМС ТТЛ, МОП, ЭСЛ**
- **Входной формат описания ОД:
EDIF 2.0, ISCAS'89**

Основные функции

- ✓ Генерация тестов
- ✓ Определение полноты теста
- ✓ Анализ активности выходов и входов ОД
- ✓ Анализ критических состояний ОД
и устранение сбойных сегментов теста
- ✓ Редактирование теста с помощью встроенного редактора
- ✓ Отображение результатов тестирования
в табличной и графической формах;
- ✓ Экспорт статистических данных в Excel, HTML
- ✓ Печать данных

Адаптивная генерация тестов



АТРГ– главное окно

Панель управления

Результаты текущей схемы

Полнота теста, %: 80.00

Активизация выходов, %: 100.00

Установочный сегмент: 9

Тестовый сегмент: 12

Время

Общее время: 00:00:41.099

Текущая схема: 00:00:32.076

Графики

Полнота теста: 80.00

Коеф. п: 6.25

Покрытие выходов: 100.00

Коеф. г: 100.00

Полезные вектора: 21

Коеф. н: 80.00

Неисправностей в секунду: 2

Список файлов для генерации тестов

С27.EDF (80%, 100%)

Информация о текущей схеме

Текущая схема: S27.EDF

Логические элементы: 10

Геры: 3

ые порты: 6

удные порты: 1

Сгенерировано векторов: 2760

Число холостых циклов: 0

Всего полезных векторов: 21

Неустановленных триггеров: 0 из 3

Сетевой статус компьютера

Сеть

Включить сетевой режим

вычислительный модуль

управляющий модуль

Список адресов вычислительных модулей

localhost

192.168.0.10

Графическое отображение хода генерации

Тестирование группы ОД в сети

PRTG-LAN v2.1 - [Схема "058_352.EDF"]

Файл Генерация Статистика Окна Помощь

Файлы схем - 21

- 059_091.EDF (100%, 100%)
- 057_686.EDF (91%, 100%)
- 058_342.EDF (97%, 95%)
- 057_691.EDF (99%, 100%)
- 059_093.EDF (96%, 100%)
- 058_340.EDF (97%, 90%)
- 058_353.EDF (98%, 100%)
- 086_045.EDF (86%, 82%)
- 086_043.EDF (95%, 100%)
- 058_352.EDF (94%, 89%)**
- 057_692.EDF (91%, 100%)
- 057_679.EDF (74%, 75%)
- 057_684.EDF (84%, 86%)
- 058_354.EDF (86%, 100%)

Сеть

- localhost
- 192.168.0.2
- 192.168.0.3
- 192.168.0.4
- 192.168.0.5

Результаты текущей схемы

Полнота теста, %: **94.27**

Активизация выходов, %: **89.66**

Установочный сегмент: **19**

Тестовый сегмент: **36**

Время

Общее время: **00:03:38.024**

Текущая схема: **00:00:27.860**

Информация

Текущая схема: **058_352.EDF**

Логические элементы: **203**

Триггеры: **54**

Входные порты: **36**

Выходные порты: **29**

Сгенерировано векторов: **2734**

Число холостых циклов: **0**

Всего полезных векторов: **55**

Неустановленных триггеров: **0 из 54**

Генерация остановлена

Сеть

Включить сетевой режим

вычислительный модуль

управляющий модуль

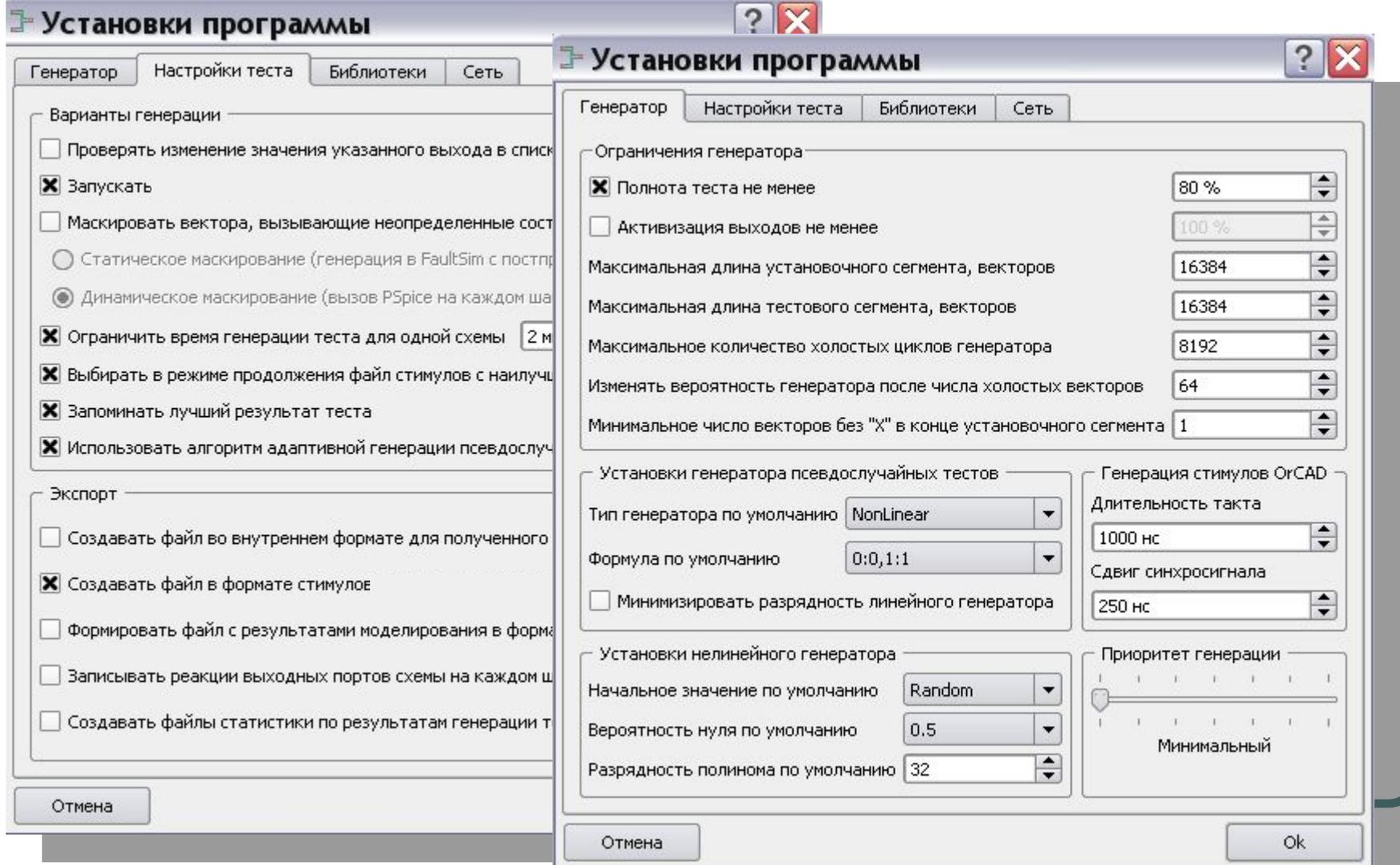
Графики

- Полнота теста: 94.27%
- Кэф. полезных векторов: 77.55%
- Покрытие выходов: 89.66%
- Кэф. использования ГС: 100.00%
- Полезные вектора: 55 шт
- Кэф. переходов ГС: 3.03%
- Неисправностей в секунду: 2.38 шт
- Новые состояния: 2 шт

Журнал

- 26.03.2007/03:28:36: Активизация выходов схемы=80 %
- 26.03.2007/03:28:36: Длина установочного сегмента=13
- 26.03.2007/03:28:36: Длина тестового сегмента=21
- 26.03.2007/03:28:36: Неустановленных триггеров=0 из 10
- 26.03.2007/03:28:36: Время генерации (чч:мм:сс.мсек)=00:00:10.195
- 26.03.2007/03:28:36: Генерация завершена

Задание параметров ATPG



Редактор тестов ЧТУ

Отладка модели на ЧТУ - "056_931.EDF"



Стимулы (входные воздействия) Эталоны (выходные реакции)

1_13 1_15 1_18 1_19 1_20 1_21 1_24 1_25 1_30 1_31 1_32 1_33

1	0	1	1
2	0	1	0
3	1	0	1
4	0	0	1
5	0	0	0
6	0	0	0
7	0	1	1
8	0	1	1
9	0	0	0
10	0	1	1
11	0	1	1
12	1	0	1
13	0	0	1



Стимулы (входные воздействия) Эталоны (выходные реакции)

2_12 2_14 2_16 2_27 2_28 2_29 2_48 2_50 2_51 2_52 2_57 2_64

1	1/1	X/X	X/X
2	1/1	X/X	X/X
3	0/0	X/X	X/X
4	0/0	X/X	X/X
5	0/0	1/1	X/X
6	0/0	X/X	X/X
7	0/0	X/X	X/X
8	1/1	X/X	1/1
9	1/1	X/X	1/1
10	0/1	X/X	1/1



Выполняет очистку таблиц стимулов и эталонов



Загружает частные технические условия (стимулы и эталоны) из файла



Сохраняет файл ЧТУ (стимулы и эталоны)



Импорт стимулов из файла (*.stl)



Импорт эталонов выходных реакций из файла (*.csd)



Добавляет строку к таблицам стимулов и эталонов



Удаляет выделенные строки из таблиц стимулов и эталонов



Запускает моделирование схемы и сравнивает результат с эталоном

Статистика по тесту и ОД

Результаты текущей схемы

Полнота теста, % **66.00**

Активизация выходов, % **100.00**

Установочный сегмент **6**

Тестовый сегмент **7**

Время

Общее время **00:00:42.331**

Текущая схема **00:00:42.231**

Информация

Текущая схема: **S27.EDF**

Логические элементы: **10**

Триггеры: **3**

Входные порты: **6**

Выходные порты: **1**

Сгенерировано векторов: **19219**

Число холостых циклов: **284**

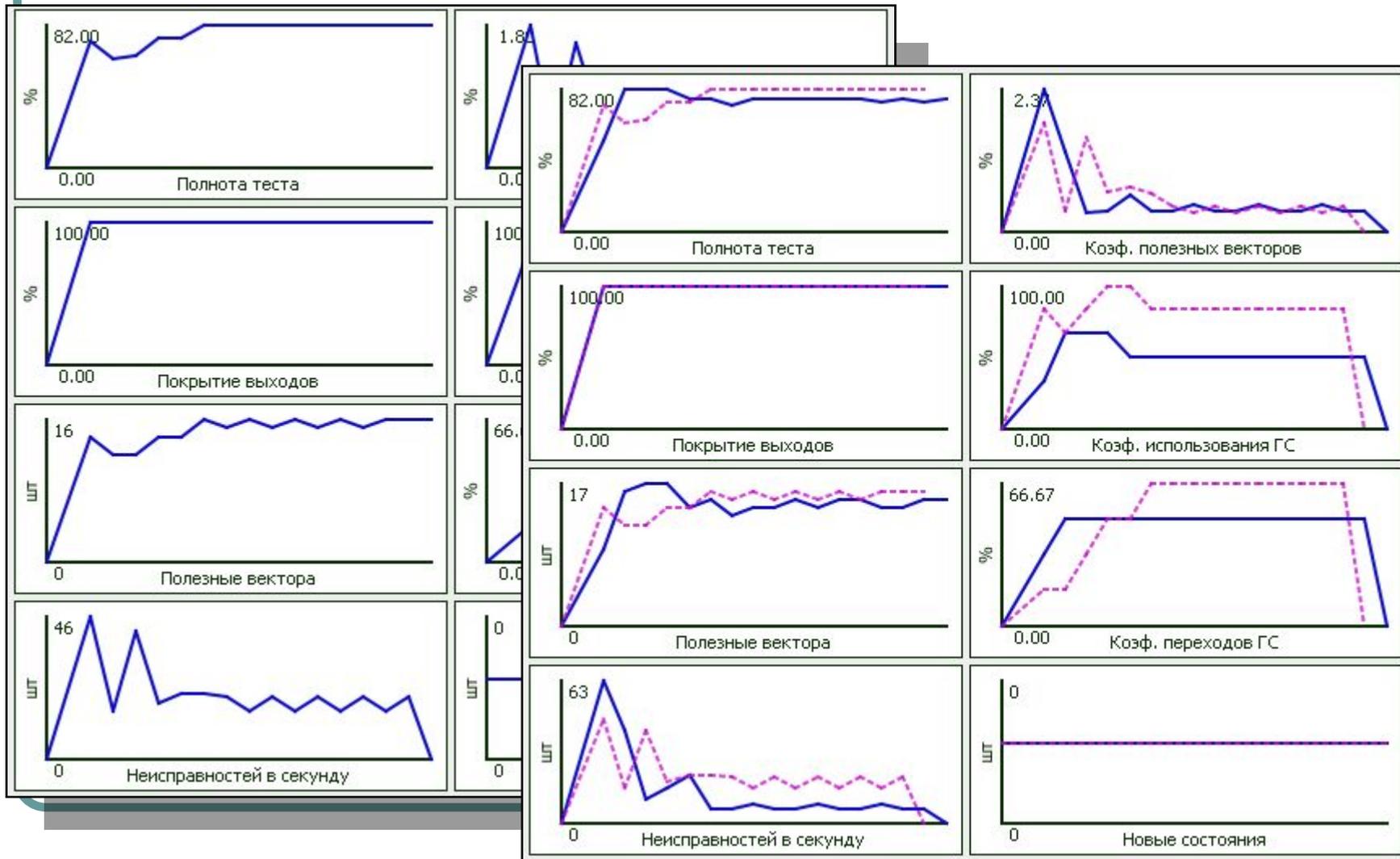
Всего полезных векторов: **13**

Неустановленных триггеров: **0 из 3**

Генерация остановлена

	Описание параметра	Значение
1	Название схемы	S27.EDF
2	Количество логических элементов	10
3	Количество триггеров	3
4	Количество входных портов	6
5	Количество выходных портов	1
6	Общее количество константных неисправностей	50
7	Количество обнаруженных константных неисправностей	50
8	Ограничение полноты теста	100
9	Ограничение покрытия выходов	1
10	Тип генератора	NonLinear
11	Вероятность нуля нелинейного генератора	0.5
12	Разрядность полинома	32
13	Текущая полнота теста	66.00
14	Текущее покрытие выходов	100.00
15	Длина установочного сегмента	6
16	Длина тестового сегмента	7
17	Всего полезных векторов	13
18	Общее число сгенерированных векторов	19219
19	Количество холостых циклов	284
20	Количество неустановленных триггеров	0 из 3
21	Кoeffициент полезных векторов	0.00
22	Кoeffициент использования графа состояний	0.00
23	Кoeffициент переходов по графу состояний	0.00
24	Время генерации	00:00:42.231

Динамические графики хода тестирования



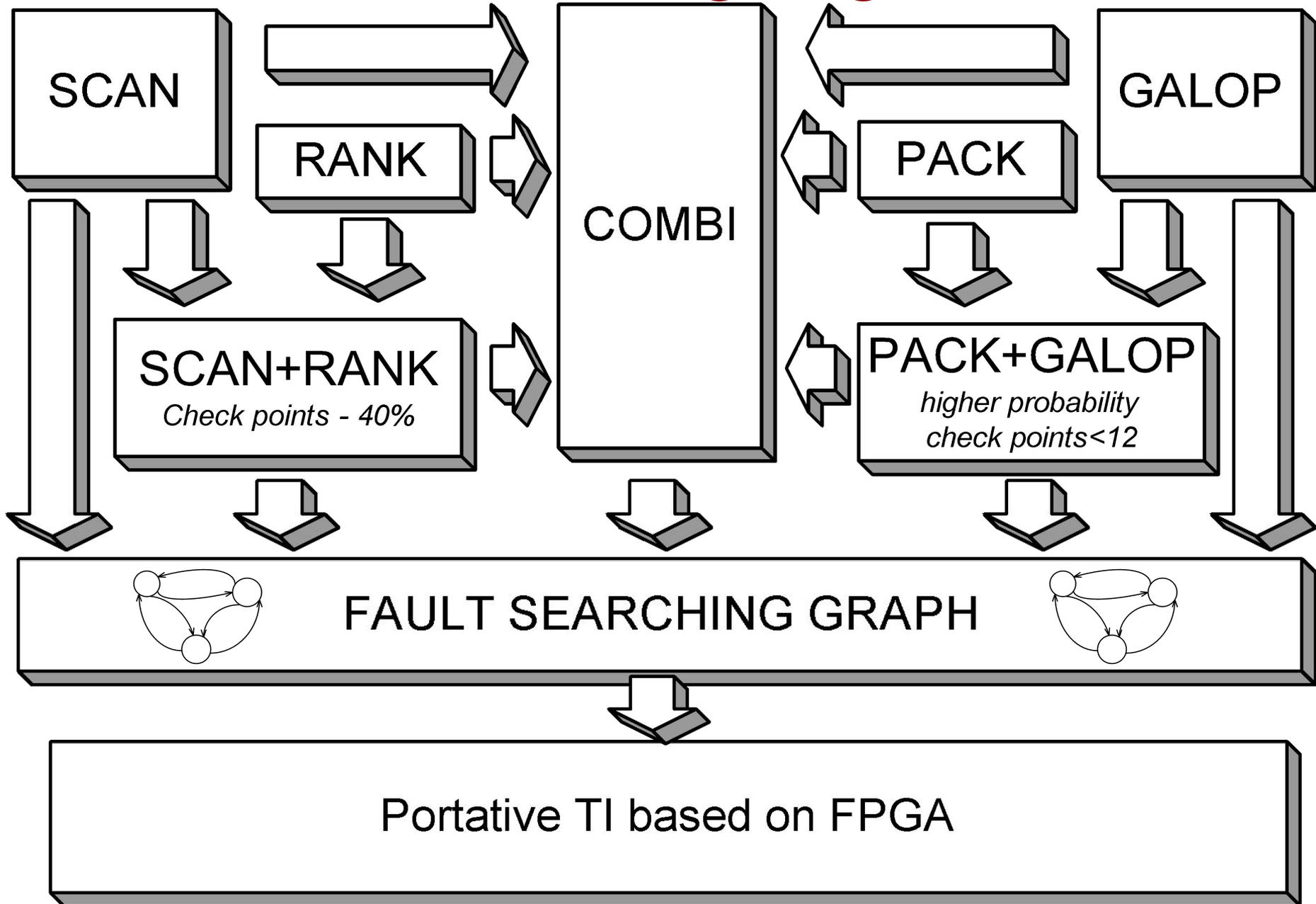
AUTO PROBE

The screenshot displays the 'Зондер' (Probe) software interface. The main window shows a photograph of a circuit board with a probe tip positioned over a component. The interface includes a menu bar (Файл, Вид, Редактирование, Зондирование, Опции, Окна, Помощь), a toolbar, and a project tree on the left. A context menu is open over the main image, listing window management options such as 'Закреть окно' (Close window), 'Закреть все окна' (Close all windows), and 'Следующее окно' (Next window). A dialog box titled 'Размещение линии пинов' (Pin line placement) is open in the foreground, with the following fields and controls:

- Field 1: Номер начального пина (Start pin number)
- Field 2: Количество пинов (Number of pins)
- Field 3: Радиус (Radius)
- Field 4: Номер конечного пина: 7 (End pin number)

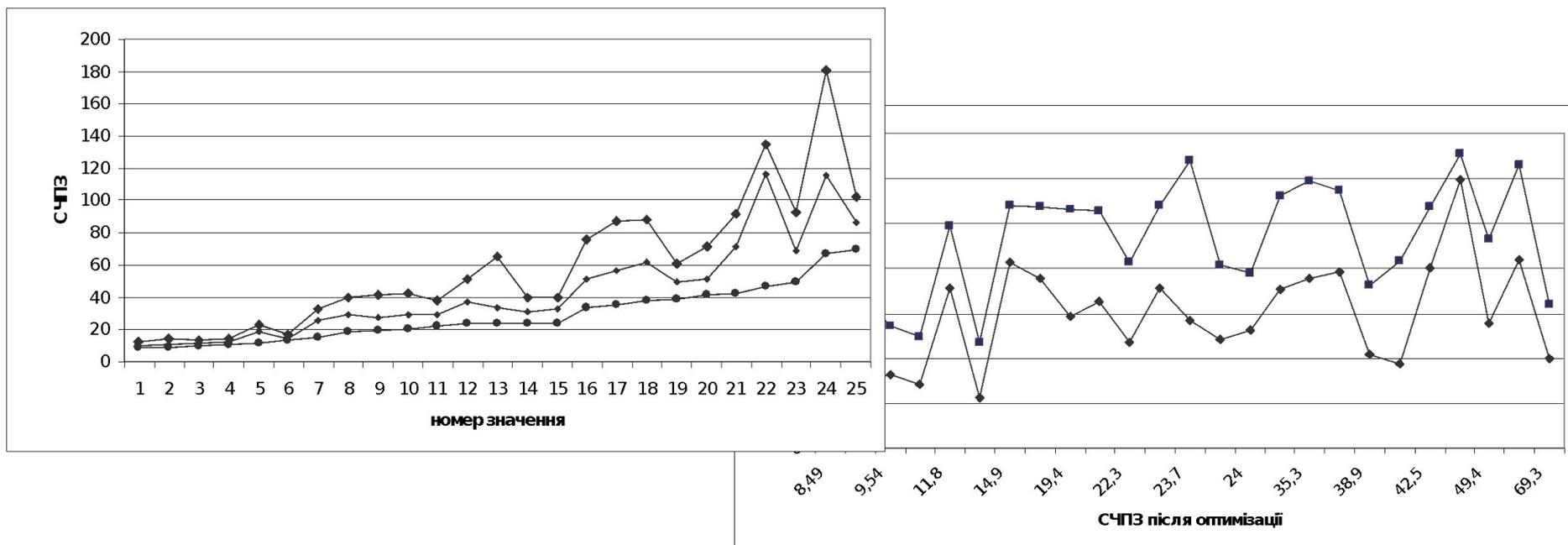
Buttons for 'OK' and 'Отмена' (Cancel) are present. The background image shows a close-up of a circuit board with a central component labeled 'DD5' and several pins numbered 1 through 8.

Fault Searching Algorithms



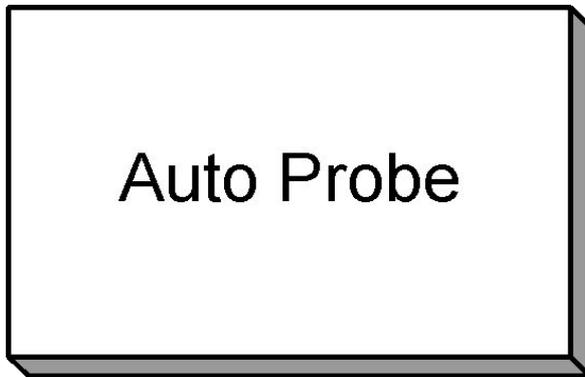
Statistics

- Model based statistics of check points per PCB
- Mode statistics of check points for 80 PCB



Client-server architecture

Client



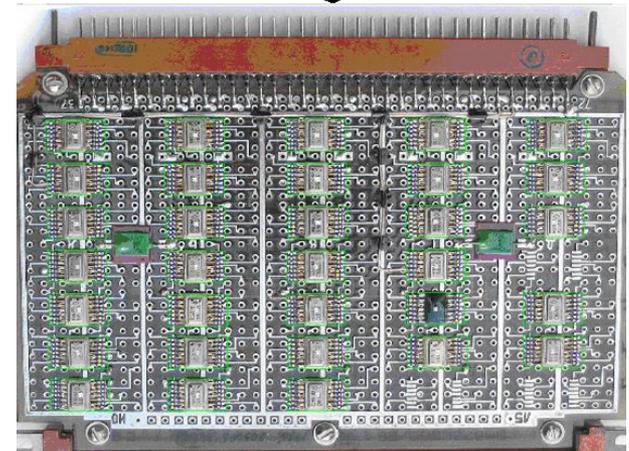
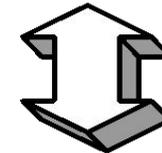
TCP/IP



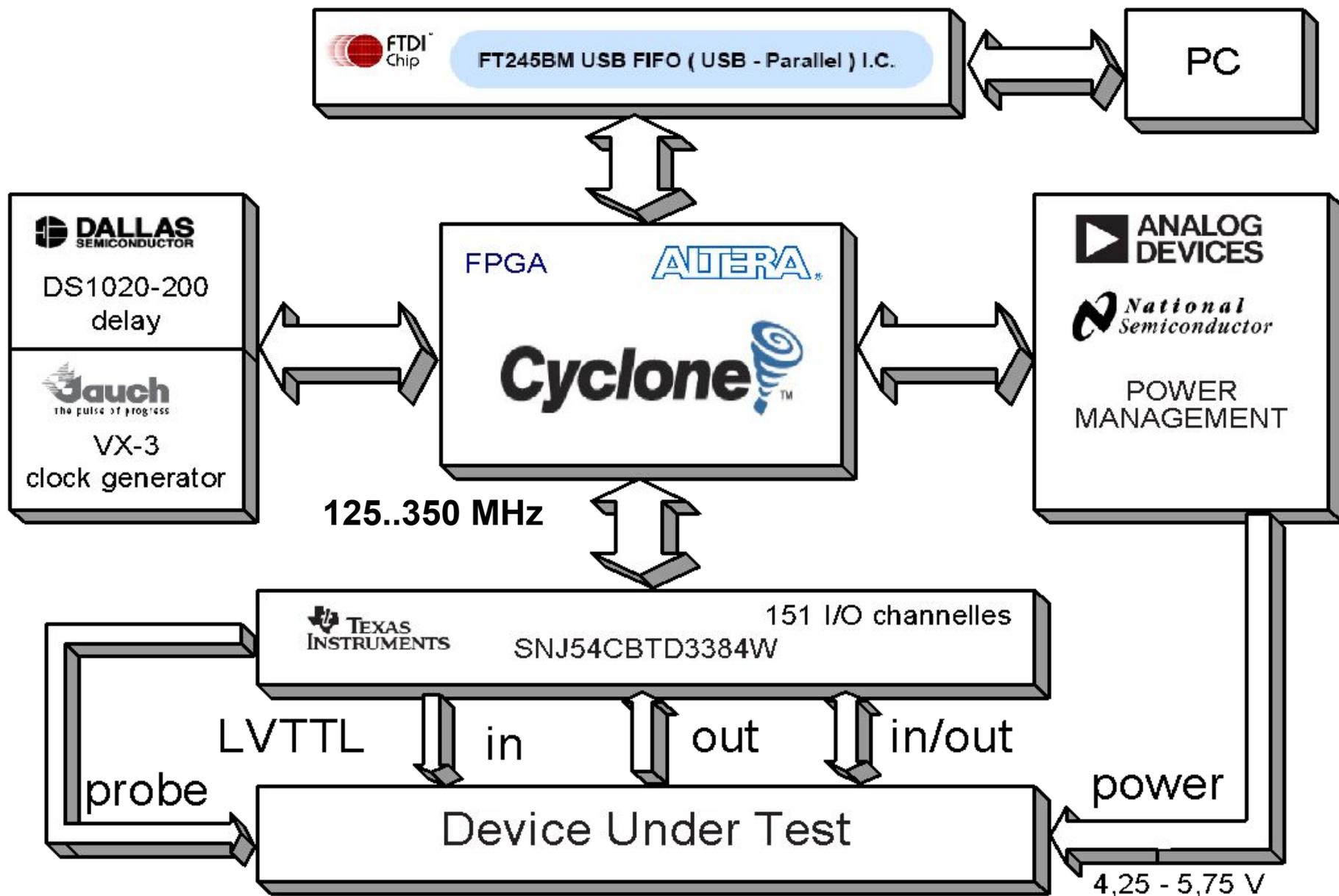
Server



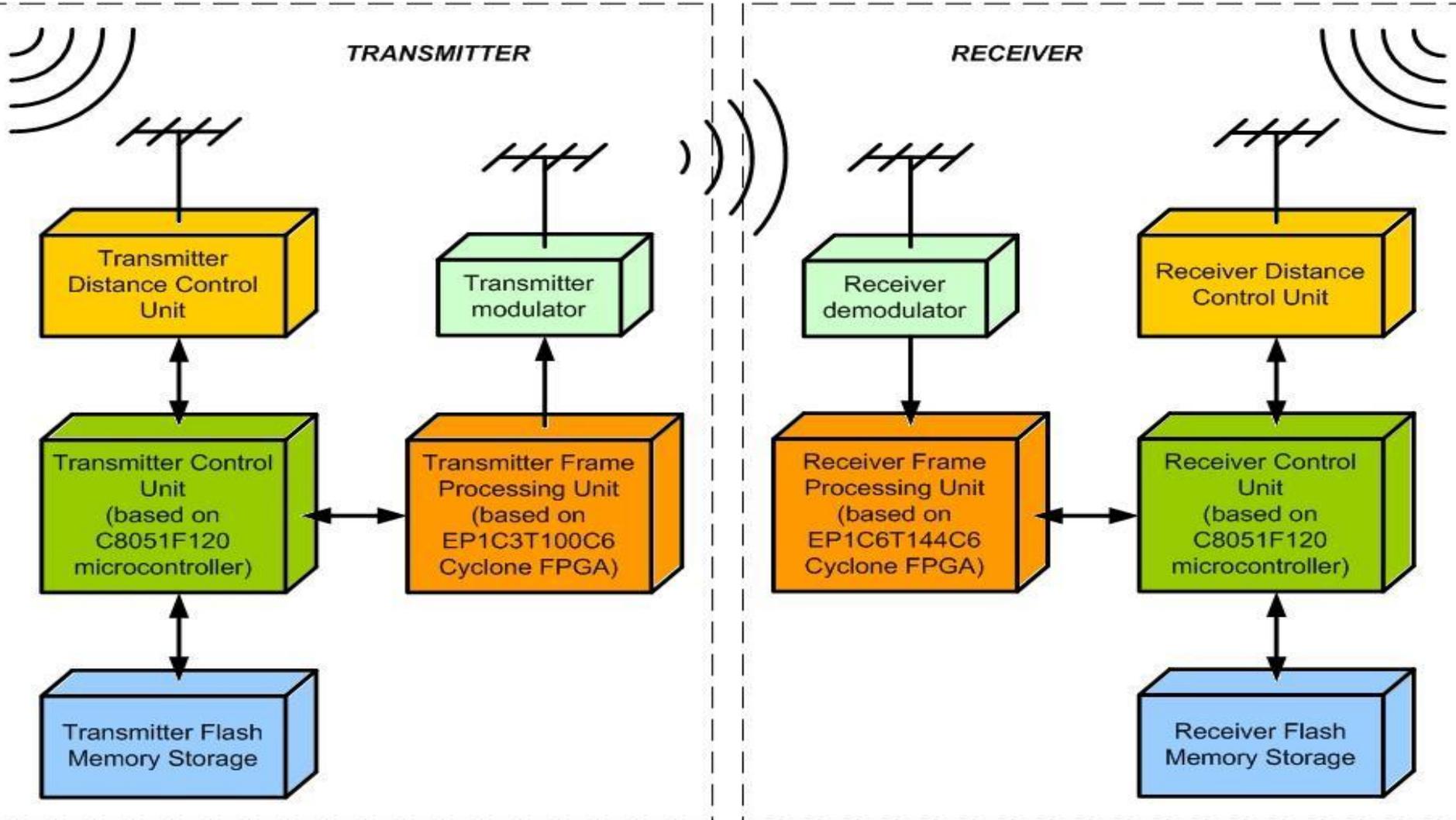
DUT



Test Processor

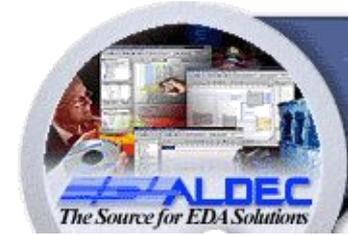


RF Transceiver with Reed-Solomon code



- ✓ Transmitting (receiving) data frame to (from) radio channel;
- ✓ Reed-Solomon noise combating code frame protection
- ✓ (VHDL, Verilog, Altera's Cyclone FPGA, USB)

Донецкий национальный технический университет

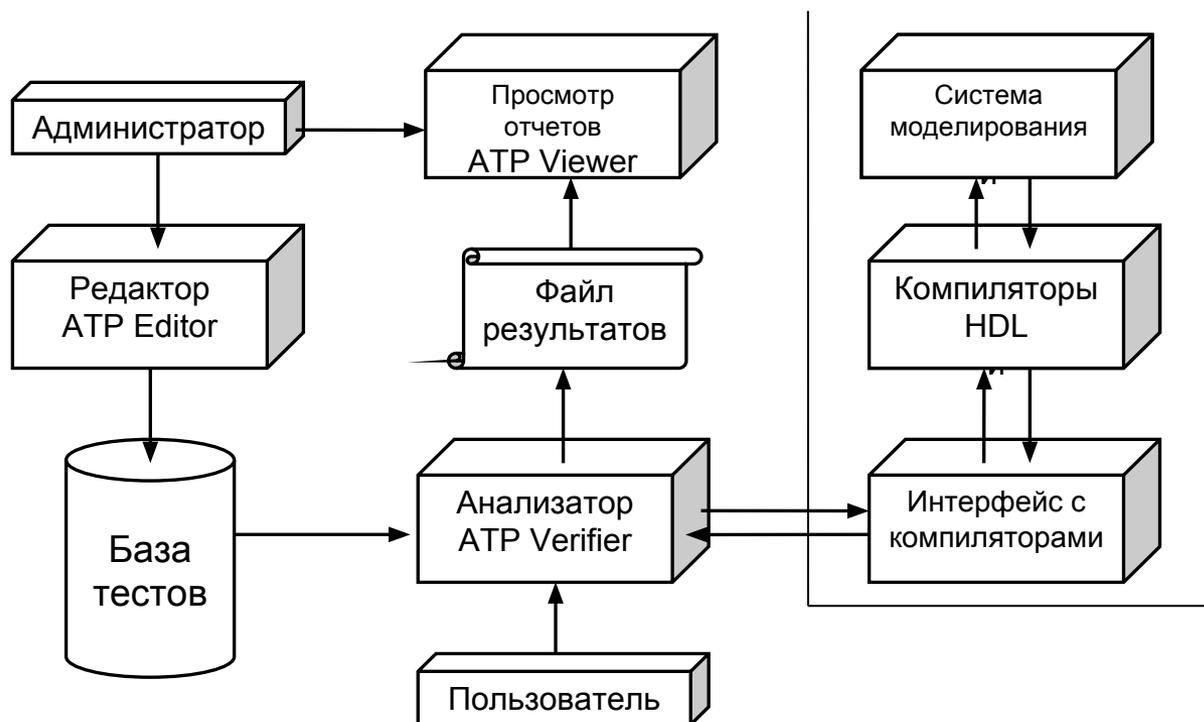


кафедра ЭВМ

Система автоматизированного интерактивного
контроля знаний

ATP
ADVANCED TESTING PACKAGE

Структура пакета



Редактирование вопросов

The screenshot shows the ATP Editor 4.8 interface. The title bar reads "ATP Editor 4.8 - D:\work\HardClub\Test.New\Aldec VHDL Synthesis All (47 questions).at4". The menu bar includes "Файл", "Вопрос", "Вид", "Службы", and "Windows". The toolbar contains icons for file operations and editing. The main window displays a question titled "Вопрос 1" with the following text: "Find designer's mistake in the synthesizable code below. Why this shift register is written incorrectly?". Below the text is a code block for a VHDL process:

```
process (CLK, RESET)
  variable reg: STD_LOGIC_VECTOR (3 downto
0);
begin
  OUTP<= reg;
  if (RESET='1') then
```

Underneath the code, the "Варианты ответа" (Answer Options) section shows three radio buttons:

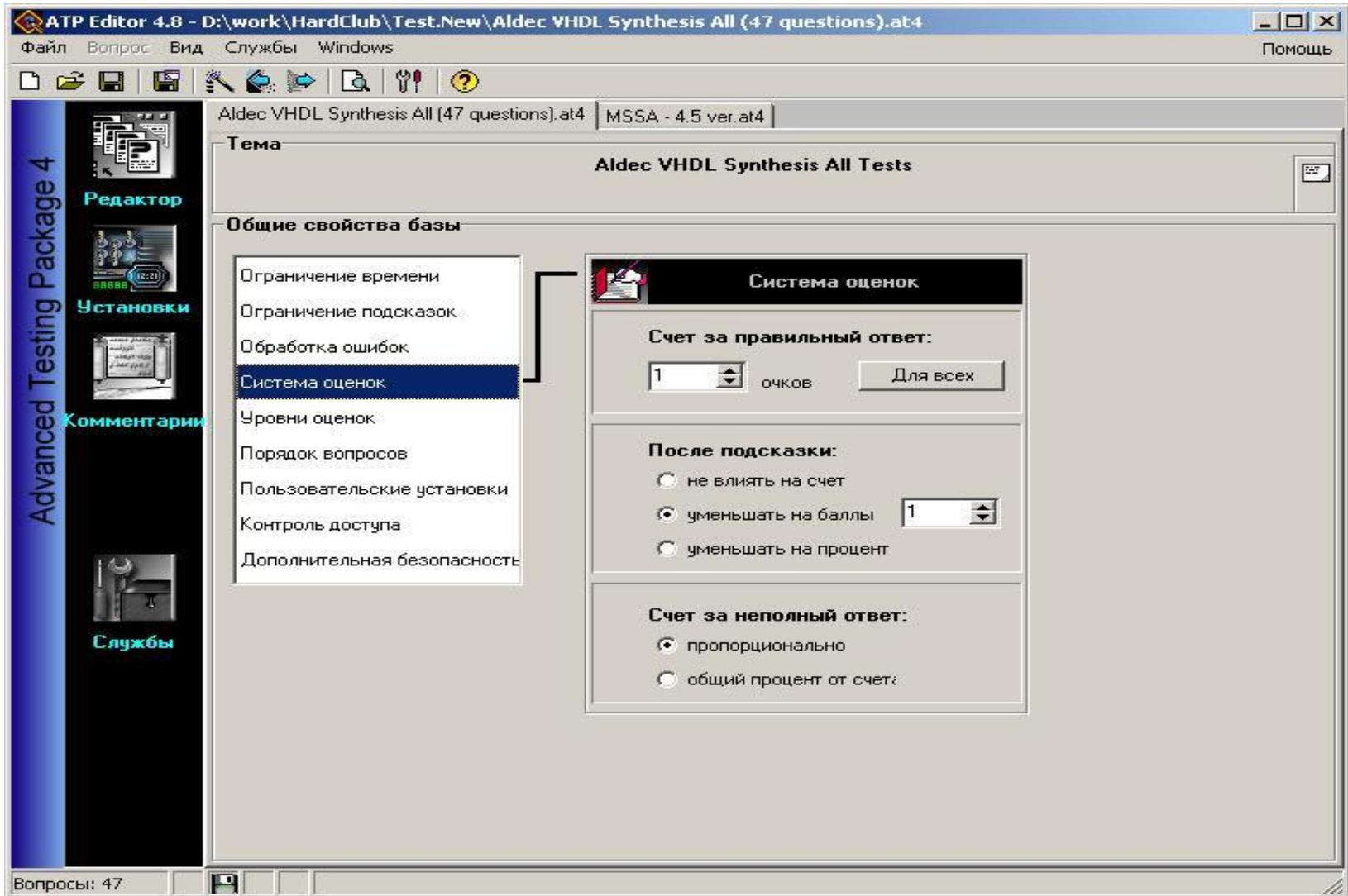
- This code does not perform shifting operation
- The OUT<=reg; assignment is placed incorrectly inside the process and caus
- The reg variable should not be assigned in the RESET branch because it is rer

The "Свойства" (Properties) section at the bottom includes fields for "Тип вопроса" (Question Type), "Баллы" (Points) set to 3, "Время [мин]" (Time [min]), "Подсказки" (Hints), "Подтема" (Subtopic) set to "Синтез" (Synthesis), and "Сложность" (Difficulty) set to 1.

On the left side, a vertical blue bar contains the text "Advanced Testing Package 4" and icons for "Редактор" (Editor), "Установки" (Settings), "Комментарии" (Comments), and "Службы" (Services).

On the right side, a "Список вопросов" (Question List) panel shows "Вопросы: 47" and a list of question icons, with "Вопрос 1" selected.

Свойства базы вопросов



Дополнительные возможности

The screenshot shows the ATP Editor 4.8 application window. The title bar reads "ATP Editor 4.8 - D:\work\A.T.P\Atp5\Editor.3\MSSA - 4.5 ver.at4". The menu bar includes "Файл", "Вопрос", "Вид", "Службы", and "Windows". The toolbar contains icons for file operations and help. The main window displays the "Дополнительные службы" (Additional Services) section, which lists three wizards: "Project Wizard", "Import Wizard", and "Export Wizard". A vertical sidebar on the left is labeled "Advanced Testing Package 4" and contains icons for "Редактор", "Установки", "Комментарии", and "Службы". The status bar at the bottom indicates "Вопросы: 91".

ATP Editor 4.8 - D:\work\A.T.P\Atp5\Editor.3\MSSA - 4.5 ver.at4

Файл Вопрос Вид Службы Windows Помощь

Aldec VHDL Synthesis All (47 questions).at4 MSSA - 4.5 ver.at4

Дополнительные службы

Project Wizard
Мастер проекта поможет вам создать пустую (шаблонную) базу вопросов с установкой новых свойств.

Import Wizard
Мастер импорта предназначен для импортирования баз вопросов, созданных в предыдущих версиях ATP (1.x, 2.x...) и из TXF-файлов.

Export Wizard
Мастер экспорта может экспортировать текущую базу вопросов в различные форматы (HTML, TXF, и др.)

Advanced Testing Package 4

Редактор

Установки

Комментарии

Службы

Вопросы: 91

Проведение опроса

Сybernova

Theoretical and Practical C++ Knowledge Testing

ОПРОС Вопросы: 50

Время: 0.01.31

Подсказки: 3

Ошибки: 7

1

ВОПРОС 9

Время: 0.00.33

Подсказки: 3

3

In what will result the execution of the following code?

```
// assume that all needed includes are present

class Ca{
public:
    Ca(const char *pszString){
        m_pszString=new char [strlen(pszString)+
1];
        strcpy(m_pszString,pszString);
    }
};
```

Access violation because of double destruction

Access violation because of an attempt to destruct a non-dynamic object

Printing "This is string A" on the console

Memory leak

Possible absence of any console output, or only partial output due to internal buffering in co

Console printing faults because of an attempt to print a string, which is already destructed.

Printing "This is string B" on the console

Подтвердить ответ на вопрос

Ответить Пример Помощь Пропустить Не знаю Прервать

Просмотр результатов тестирования

The screenshot displays the ATP4 Report Viewer interface. The 'Report Directory' on the left shows a tree structure with folders like '_setup', 'Editor', 'Help', 'KeyGen', 'Rw', and 'test'. The 'Groups Info' section shows five checked groups: SP00N, SP-00N, SP00-N, SP00A, and SP-00B. The 'Users Info' section contains a table with columns for User, Group, Date, Score, %, Of, and Corre. The 'User Testing Report' section shows the report folder 'ALDEC VHDL BEHAVIORAL TEST'.

Report Directory

- _setup
- Editor
- Help
- KeyGen
- Rw
 - 1_xp
 - 2_2000
 - 3_98
 - Gfx
 - help
 - test
- ALDEC VHDL BEHAVIORAL TEST

Groups Info

- SP00N
- SP-00N
- SP00-N
- SP00A
- SP-00B

Users Info

User	Group	Date	Score	%	Of	Corre
<input checked="" type="checkbox"/> Alexander Shepil	SP00n	06.01.03	49	67	73	21
<input checked="" type="checkbox"/> Andrey Gomozov	SP-00n	06.01.03	37	50	73	17
<input checked="" type="checkbox"/> Burba V.K.	SP-00n	06.01.03	54	73	73	23
<input checked="" type="checkbox"/> Changli	SP00n	06.01.03	39	53	73	17
<input checked="" type="checkbox"/> Dmitry Kravtsov	SP00n	06.01.03	43	58	73	15
<input checked="" type="checkbox"/> Dosta	Sp00-n	06.01.03	45	61	73	22
<input checked="" type="checkbox"/> Ignatova Katia	sp00n	06.01.03	34	46	73	16
<input checked="" type="checkbox"/> Kalinichenko S.N.	SP-00n	06.01.03	35	47	73	14
<input type="checkbox"/> Nick	SP00a	06.01.03	0	0	73	11
<input type="checkbox"/> Semisalova	sp00n	06.01.03	21	28	73	7
<input type="checkbox"/> Vyacheslav Truba...	SP00n	06.01.03	44	60	73	19

User Testing Report

Report Folder:

ALDEC VHDL BEHAVIORAL TEST

OK

Task

Synthesize circuit for this model:

```
entity CLOCK is
  port (CLK_A, A, B, C: in bit; E: out bit);
end CLOCK;
```

```
architecture TEST of CLOCK is
```

```
  signal D: bit;
```

```
begin
```

```
  process (CLK_A)
```

```
  begin
```

```
    if (CLK_A'event) and (CLK_A='1') then E <= D and C;
```

```
    end if;
```

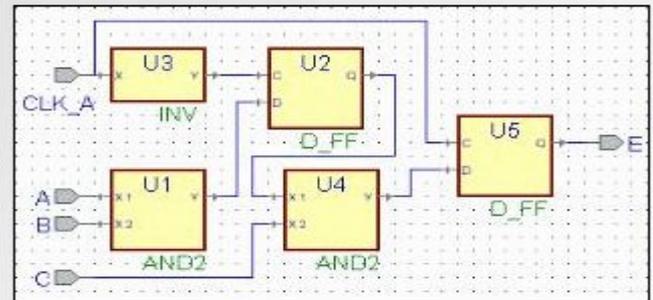
```
    if (CLK_A'event) and (CLK_A='0') then D <= A and B;
```

```
    end if;
```

```
  end process;
```

```
end TEST;
```

Synthesis result



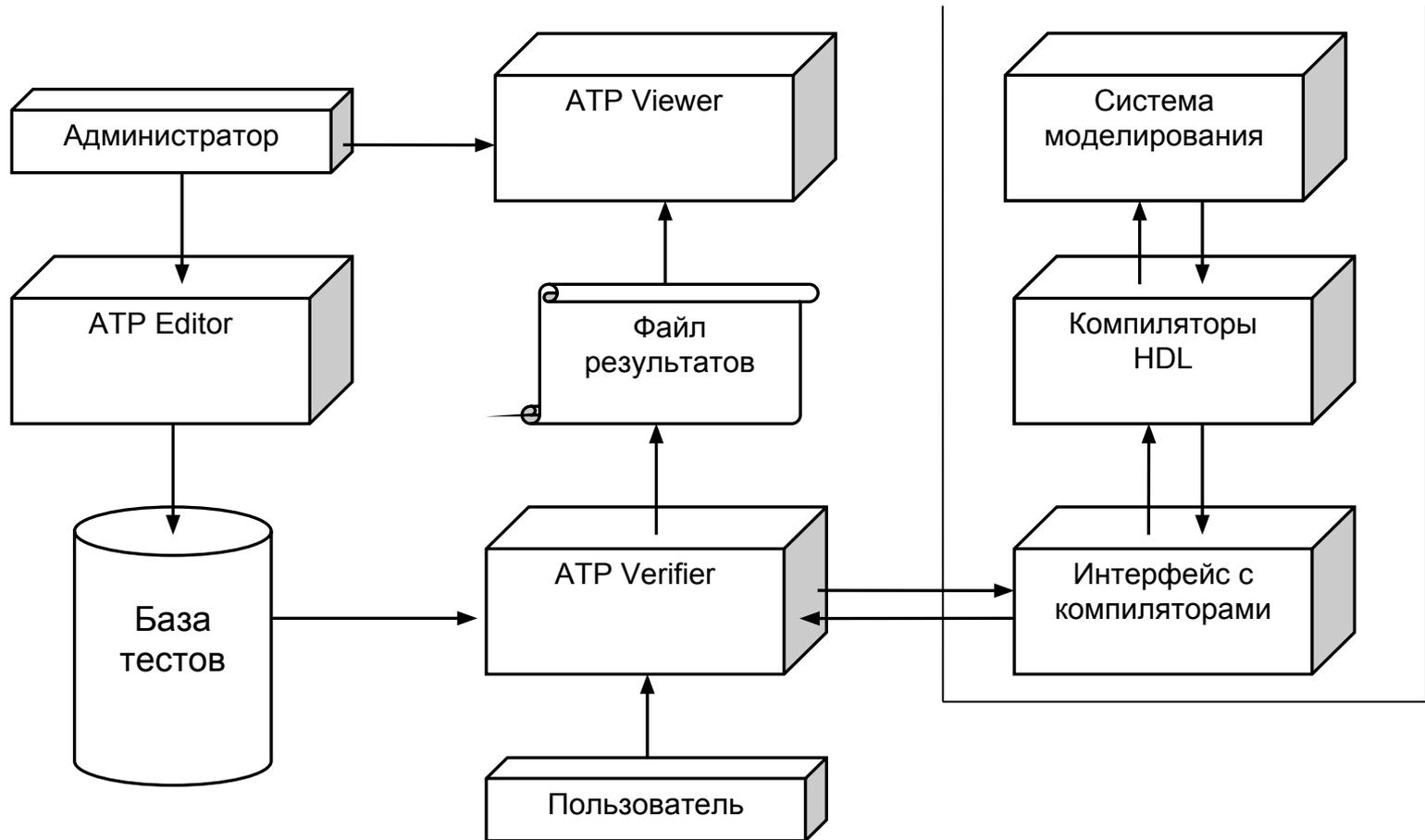
Your answer

```
and2 (A, B, net1);      - Element U0
d_ff (net1, nclk_a, D); - Element U1
inv (CLK_A, nclk_a);   - Element U2
and2 (D, C, net2);     - Element U3
d_ff (net2, clk_a, E); - Element U4
```

Notes:

- 1) The circuit is described using standard primitives;
- 2) Each primitive should be placed on separate line;
- 3) Primitive format:
<primitive_name> [<signal1>,<signal2>,...];
where <signal1>,<signal2> - entity's ports or interconnection signals [connected to primitives in positional way];
- 4) Primitive can be placed manually or by double-clicking on standard primitive list.

Разработка задач программирования в системе АТР



Технология разработки задач программирования в АТР

Aldec VHDL Behavioral All (82 questions).at4

Вопрос 71

MS Sans Serif 10 Black

B */* U White

Write a dataflow VHDL program using entity declaration to obtain following waveform for Y:

```
entity INV is
  port (A :in BIT; Y :out BIT);
end entity INV;
```

Time	A	Y
0 - 10	0	1
10 - 20	1	0
20 - 30	0	1
30 - 40	1	0
40 - 50	0	1
50 - 60	1	0

Варианты ответа

White

VHDL Testbench wizard

Question subtype
The VHDL-question has two subtypes: VHDL-program and VHDL-synthesis and they have different testbench structures.

VHDL-program subtype
 VHDL-synthesis subtype

UUT Entity name
Enter Unit Under Test entity name:

UUT Ports

Port name	<input type="text" value="Y"/>	<input type="button" value="Add"/>	A: In BIT Y: Out BIT
Port type	<input type="text" value="BIT"/> <input type="button" value="v"/>		
Port mode	<input type="radio"/> In <input checked="" type="radio"/> Out <input type="radio"/> Inout	<input type="button" value="Remove"/>	

<< Back Close Default Apply Next >>

VHDL Testbench wizard

Standard model
You must provide a VHDL code for standard model which will generate expected responses. The entity of this model has the same view as the UUT entity, but you have to write an architecture by yourself.

```
entity ATP_Model is
  port (
    A: In BIT;
    Y: Out BIT;
  );
end entity ATP_Model;

architecture MyArch of ATP_Model is
begin
  -- write your code here
end architecture MyArch;
```

<< Back Close Default Apply Next >>