

ОТЛАДОЧНАЯ ПЛАТА COOLRUNNER-II STARTER KIT

Отладочная плата CoolRunner-II Starter Kit (рис. 2.1) представляет собой платформу, которая позволяет быстро и эффективно оценивать и реализовывать CPLD проекты. На плате расположены такие компоненты как кристалл XC2C256 CoolRunner-II, интерфейс USB, восемь шести контактных разъемов (для подключения стандартных периферийных модулей), один 26-ти и один 16-ти контактные разъемы (для подключения дочерних плат).

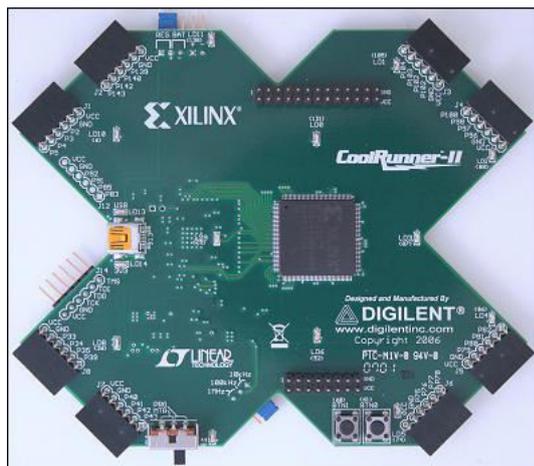


Рисунок 2.1 – Отладочная плата CoolRunner-II Starter Kit

Восемь периферийных разъемов платы позволяют выбирать подходящий для конкретного проекта периферийный модуль из их многообразия.

В комплекте с отладочной платой находится три периферийных модуля:

1. PMod-PS2 – модуль последовательного порта PS/2.
2. PMod-SSD – модуль семи сегментного дисплея.
3. PMod-SWITCH – модуль содержащий 4 ползунковых переключателя.

И в комплекте Peripheral Module Bundle For CoolRunner-II Starter Kit еще восемь:

1. PMod-AD1 – 8-битный 2-х каналный АЦП.
2. PMod-DA2 – 12-битный 2-х каналный ЦАП.
3. PMod-HB3 – мостовой усилитель типа-Н для управления двигателем постоянного тока (12V, 2A).
4. PMod-CON3 – модуль подключения, позволяющий управлять не более четырьмя серводвигателями.
5. PMod-AMP1 – модуль стерео усиления на 1 Вт.
6. PMod-SF последовательный 16-мегабитный Flash-модуль.
7. PMod-OC1 – периферийный модуль с открытым коллектором.
8. PMod-RS232 – модуль последовательного порта RS-232.

Архитектуры ПЛИС CPLD CoolRunner-II

CoolRunner-II – семейство устройств с программируемой логикой, разработанное фирмой Xilinx, отличающееся высокой производительностью и низкой потребляемой мощностью. Базовой архитектурой таких устройств – является традиционная CPLD архитектура, комбинирующая макроячейки (macrocells – MCs) в функциональные блоки (Function Blocks – FBs), которые в свою очередь соединяются при помощи глобальной трассировочной матрицы от фирмы Xilinx – Усовершенствованная Матрица Соединений (Xilinx Advanced Interconnect Matrix – AIM). Функциональные блоки используют программируемые логические матрицы (Programmable Logic Array – PLA), конфигурирование которых позволяет всем элементам соединяться и быть доступными для общего использования среди любых макроячеек функционального блока.

На рис. 1.1 представлена общая архитектура семейства CPLD – CoolRunner-II, где функциональные блоки подключены к блокам ввода-вывода, а также подключены между собой с помощью матрицы внутренних соединений. Также каждый функциональный блок состоит из 16 макроячеек. Интерфейс JTAG, который служит для конфигурирования чипа, состоит из контроллера (блок BSC и ISP), а также шины подключенной к блокам ввода-вывода (I/O Blocks) – шина контроллера периферийного сканирования (Boundary Scan Control Path).

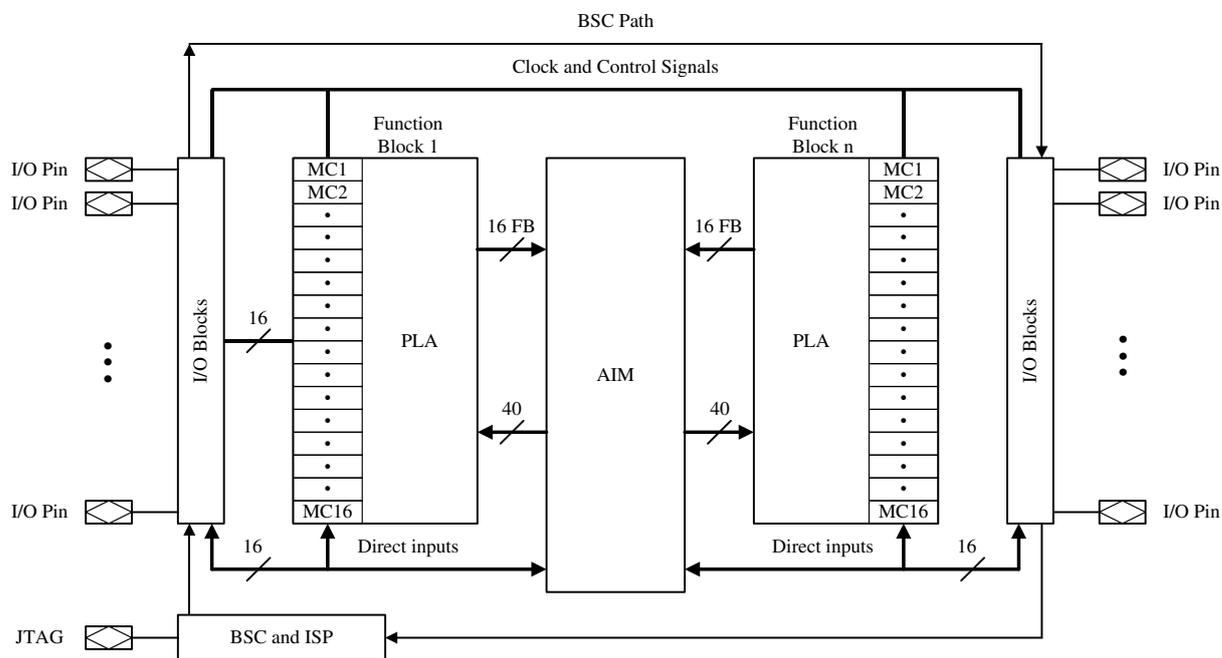


Рисунок 1.1 – Общая архитектура семейства CPLD – CoolRunner-II

Функциональный блок

Функциональный блок содержит 16 макроячеек, на входы которых подается 40-ка разрядная шина, по которой приходит информация, определяющая логику работы ячейки. Работа всего блока определяется конфигурацией 56-тью конъюнктивными членами (product term), расположенными в PLA. Все функциональные блоки, не зависимо от их количества на чипе, имеют идентичную структуру (рис. 1.2).

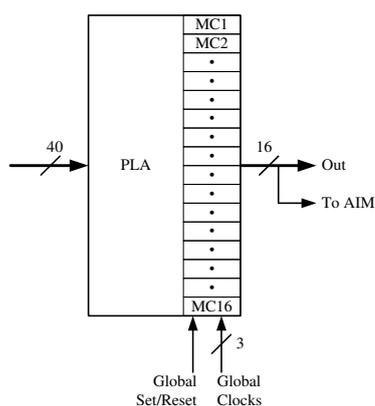


Рисунок 1.2 – Функциональный блок CPLD CoolRunner-II

Члены конъюнкции расположены в программируемой логической матрице. А это, в свою очередь делает структуру блока чрезвычайно гибкой, а также очень надежной по сравнению с фиксированной, или каскадной структурой.

Обычно, классические микросхемы CPLD имеют несколько членов конъюнкции доступных по высокоскоростному пути для заданной макроячейки. Они надеются на захват неиспользуемых членов конъюнкции из соседних макроячеек для того, чтобы при необходимости, увеличить количество своих членов конъюнкции. Использование такой архитектуры, позволяет получить различные временные модели, а также возможность свертывания неиспользуемой логики внутри функционального блока.

Преимущества организации PLA такие, что, во-первых, любой член конъюнкции может быть подключен к любому логическому элементу типа «или» внутри макроячейки. Во-вторых, любая логическая функция может иметь столько конъюнктивных членов, сколько необходимо подключить внутри функционального блока, что бы достичь предела в 56 элементов. В-третьих, конъюнктивные члены могут быть повторно использованы разными макроячейками функций «или» внутри функционального блока, поэтому часть логики создается один раз, но может использоваться до 16 раз. Обычно эти преимущества хорошо используются в программах размещения (fitting

software), определяющие, которые из конъюнктивных членов могут быть совместно используемыми.

Макроячейка

Используя макроячейку, пользователи могут создавать логические выражения дизъюнкции конъюнкций (sum of products - SOP) 40 переменных, но должно быть не более чем 56 конъюнктивных членов в одном функциональном блоке. В дальнейшем макроячейки могут объединить SOP в логические элементы типа «исключающее или» с другой последовательностью конъюнктивных членов. Результирующая полярность сигналов логических выражений является выборочной. Также, логическая функция может быть как чисто комбинационной, так и регистровой, включающей в качестве элемента памяти прозрачную защелку типа D-, или T-триггера.

Каждый триггер макроячейки может работать в двух режимах (рис. 1.3): в режиме однофазного тактирования (single edge) и двухфазного (DualEDGE). В первом режиме предоставляют возможность использования двойной скорости передачи данных, а во втором – распространять более медленный синхросигнал (таким образом, сокращая потребляемую мощность). В режиме однофазно тактирования или режима защелки, может быть выбрана любая полярность синхросигнала для каждой макроячейки.

Когда триггер макроячейки работает по D-типу, используется разрешающий сигнал макроячейки для опционального синхросигнала, позволяющий удерживать состояние до тех пор, пока синхросигнал свободно распространяется. Примечание, управляющие элементы (Control Terms – СТ) могут быть доступны для совместного использования ключевыми функциями внутри функционального блока, и вообще – каждый раз, когда идентичная логическая функция будет многократно создана во множестве макроячеек.

Управляющие элементы (СТ) доступны для синхросигнала функционального блока (СТС), асинхронного сброса (СТР), асинхронной установки (СТS), и сигнала разрешения выдачи выходных сигналов (СТЕ).

Любой триггер макроячейки может быть сконфигурирован, как входной регистр, или защелка, который принимает сигнал с портов ввода-вывода и прямо направляет их в усовершенствованную матрицу соединений.

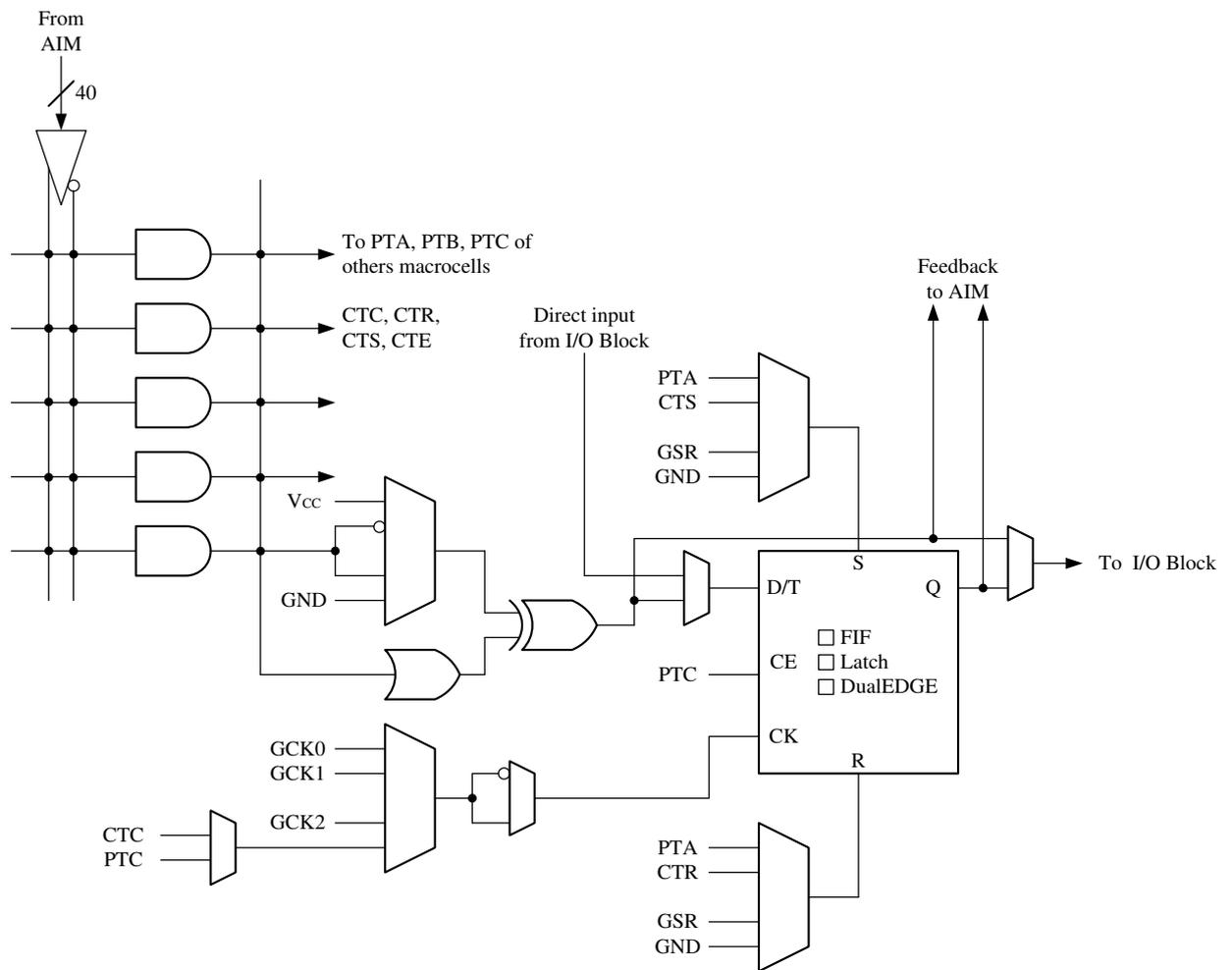


Рисунок 1.3 – Структурная схема макроячейки

Усовершенствованная матрица соединений (AIM)

AIM обеспечивает доставку 40-ка сигналов каждому функциональному блоку для создания необходимой их логики работы. Результаты от каждого функционального блока, а также все входные контакты, циркулируют дальше по матрице соединений, чтобы обеспечить работу всех функциональных блоков.